

3.1) ¿Cual es el peor caso de tiempo de conversión para un convertidor A/D de integración de doble rampa con 18 bits, si la frecuencia de reloj es de 5MHz?

Solución: $T_C = 52,4ms$

3.2) Considere un convertidor A/D de 18 bits, de integración de doble rampa, como el mostrado en la Figura 1, y donde $V_{ref} = 10V$, $C=100pF$ y la frecuencia de reloj es de 1MHz. ¿Determinar el valor de R necesario para que la salida del opamp nunca exceda los 10 voltios cuando la entrada varía entre 0 V y 10 V?

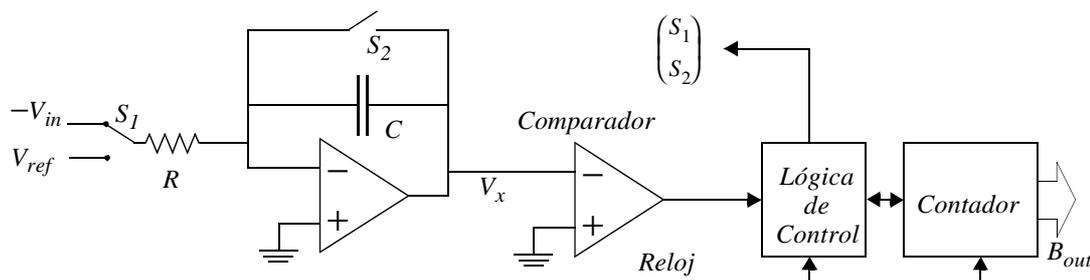


Figura 1: Convertidor A/D de doble rampa.

Solución: $R_1 = 2,621G\Omega$

3.3) Determine a que corresponde la palabra digital de salida del convertidor de la Figura 1 cuando el amplificador tiene una tensión de offset de V_{off1} y el comparador de V_{off2} .

Solución:
$$B_{out} = \frac{V_{in} + V_{off1} + \frac{(V_{off1} - V_{off2})}{2^N T_{clk}} RC}{V_{ref} - V_{off1}}$$

3.4) ¿Cual es el error de offset (en LSBs) del convertidor de la Figura 1 cuando el amplificador del integrador tiene un offset de tensión referido a la entrada de 20mV?

Solución: $E_{off} = 1051LSB$

3.5) ¿Cuales son las frecuencias en la señal de entrada que son completamente atenuadas en un convertidor de integración de doble rampa con 16 bits y una frecuencia de reloj de 1MHz?, y para este convertidor, ¿Cual es la atenuación de una señal de entrada de 60Hz?

Solución: $f = 15,26k$ con $k = 1, 2, 3, \dots$
 $|H(f)|_{f=60Hz} = -35,3dB$

3.6) Repite el problema 3.5 para una frecuencia de reloj de 100KHz.

Solución: $f = 1,526k$ con $k = 1, 2, 3, \dots$
 $|H(f)|_{f=60Hz} = -43,3dB$

3.7) Considere un convertidor A/D unipolar de 4 bits basado en un convertidor D/A usando aproximaciones sucesivas, tal y como se muestra en la Figura 2. Encuentre la secuencia de los niveles de salida del convertidor D/A para una señal de entrada de 3.333 voltios cuando $V_{ref} = 8V$. ¿Cual es la salida digital final?

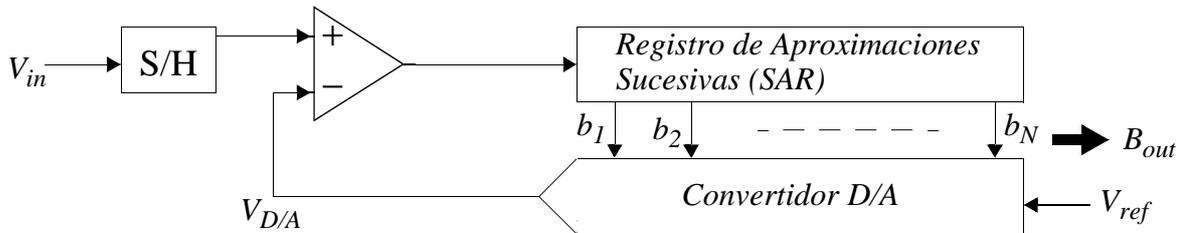


Figura 2: Convertidor A/D de aproximaciones sucesivas

Solución:

ciclo 1	$B_{out} = 1000$	$\Rightarrow V_{DA} = 3,75V > V_{ref} \Rightarrow B_{out} = 0000$
ciclo 2	$B_{out} = 0100$	$\Rightarrow V_{DA} = 1,75V < V_{ref} \Rightarrow B_{out} = 0100$
ciclo 3	$B_{out} = 0110$	$\Rightarrow V_{DA} = 2,75V < V_{ref} \Rightarrow B_{out} = 0110$
ciclo 4	$B_{out} = 0111$	$\Rightarrow V_{DA} = 3,25V > V_{ref} \Rightarrow B_{out} = 0110$

3.8) Considere un convertidor A/D unipolar de 4 bits basado en redistribución de carga como se muestra en la Figura 3, y donde $V_{ref} = 8V$. Encuentre la secuencia de niveles de tensión en V_x si la señal de entrada es 3.333 voltios.

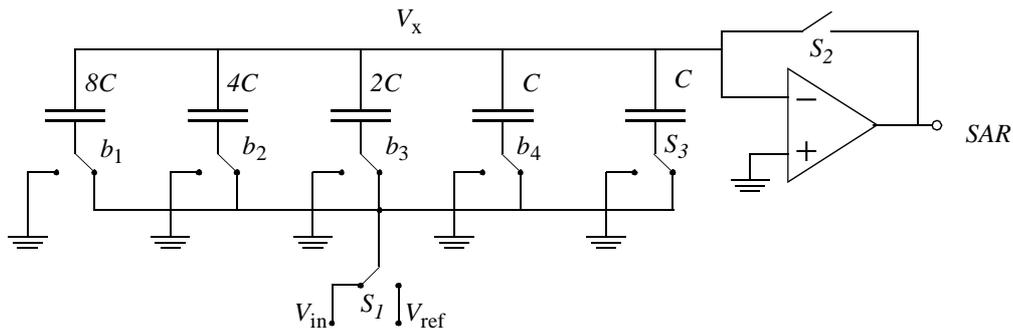


Figura 3: Convertidor A/D de aproximaciones sucesivas unipolar basado en redistribución de carga

Solución:

ciclo 1	$V_x = 0,667V$	
ciclo 2	$V_x = -1,333V$	$B_{out} = 0110$
ciclo 3	$V_x = -0,333V$	
ciclo 4	$V_x = 0,167V$	

3.9) Repita el problema 3.8 suponiendo que existe un condensador parásito cuya capacidad es $8C$ conectado entre el nudo V_x y tierra. ¿Se altera el resultado final del convertidor?.

Solución:

ciclo 1	$V_x = 0,444V$	$B_{out} = 0110$
ciclo 2	$V_x = -0,888V$	
ciclo 3	$V_x = -0,222V$	
ciclo 4	$V_x = 0,111V$	

3.10) Encontrar un método para modificar el convertidor A/D de aproximaciones sucesivas mostrado en la Figura 3 para que realice el desplazamiento de $0.5V_{LSB}$ necesario para la conversión A/D correcta.

Solución: El resultado puede conseguirse dividiendo el último condensador de valor C en dos de valor $C/2$, de forma que durante la fase de muestreo ambos condensadores de valor $C/2$ están conectados a la entrada mientras que en la fase de retención y posteriores uno se conecta a V_{ref} y el otro a tierra.

3.11) Explicar como se convierte el código digital con signo obtenido en el convertidor A/D basado en aproximaciones sucesivas, como el de la Figura 4 en código en complemento a 2.

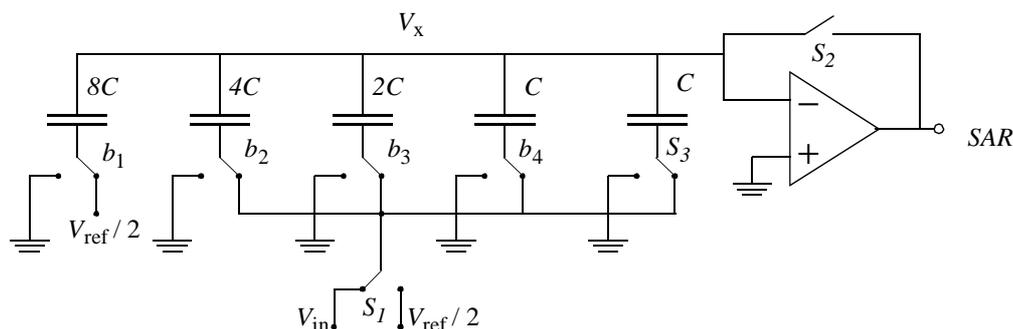


Figura 4: Convertidor A/D de aproximaciones sucesivas bipolar basado en redistribución de carga

Solución: La salida que se obtiene directamente de este convertidor está en el código "offset" binario, por lo que sólo es necesario complimentar el bit más significativo para pasar a código en complemento a 2.

3.12) ¿Que valor de tensión V_{x1} será medido en la Figura 5 si la capacidad total es de $64pF$, el condensador correspondiente al *MSB* (b_1) es de $31.5pF$ y existe un condensador parásito entre el nudo V_x y tierra de $10pF$ de capacidad?. Para el mismo circuito, mostrar que el error de tensión V_{e1} que ocurre cuando se usa el condensador de *MSB* en una conversión normal es igual a $0.5V_{x1}$.

Solución: $V_{x1} - V_{off} = \frac{1}{74} V_{ref}$

3.13) Repita el problema anterior considerando el mismo circuito de la Figura 5, pero en el que

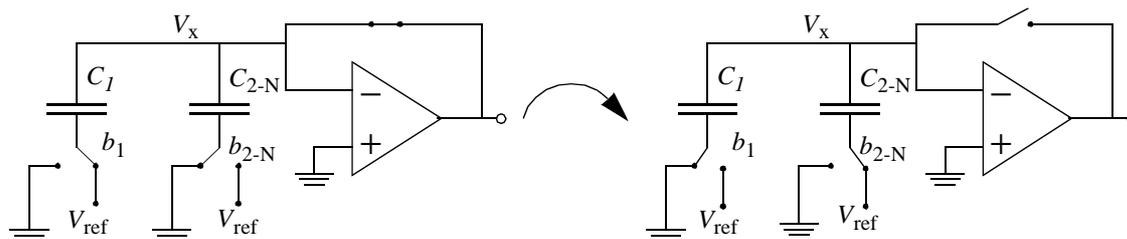


Figura 5: Modelo equivalente para determinar los errores en las capacidades.

se está evaluando el segundo bit mas significativo (b_2), y suponga que el condensador correspondiente a dicho bit tiene una capacidad de 16.4pF . ¿Cual es el error de tensión V_{x2} ? Mostrar que el error de tensión V_{e2} , que ocurre cuando se usa el condensador correspondiente a b_2 durante el modo normal de operación es igual a $0.5(V_{x2}-V_{e1})$.

Solución: $V_{x2} - V_{off} = -\frac{0,3}{74} V_{ref}$

3.14) Suponiendo que las resistencias de todas las llaves son de alrededor de $1\text{K}\Omega$, estime el tiempo de establecimiento necesario para un convertidor A/D de 12-bits basado en redistribución de carga con una capacidad total de 128pF .

Solución: $T = 3(N + 1)2^N \ln 2 RC = 3,46\mu\text{s}$

3.15) Dibujar un diagrama de bloques para un convertidor A/D de 10 bits de dos etapas, con corrección digital de errores, en el cual la primera etapa determina los 4 bits más significativos. Indicar la precisión necesaria en todos los bloques.

3.16) Mostrar que el circuito mostrado en la Figura 6 correspondiente a un convertidor A/D plegado tiene todas las constantes de tiempo iguales si cada latch posee la misma capacidad de entrada y la impedancia de salida del amplificador es nula.

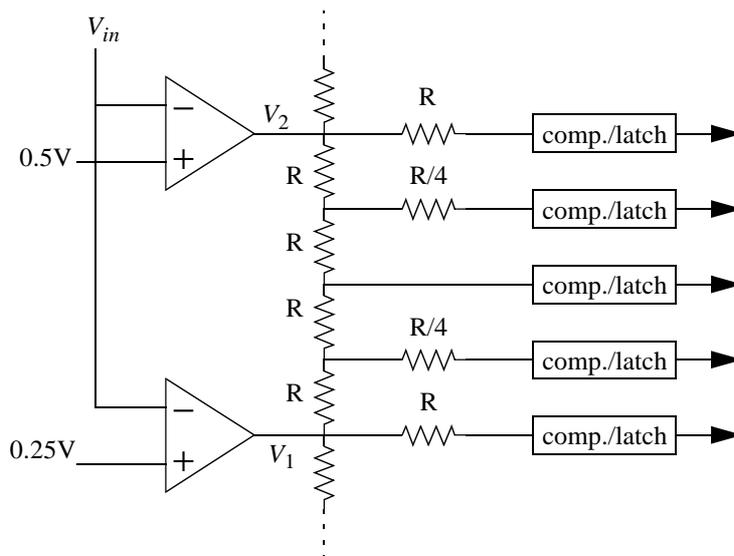


Figura 6: Añadiendo resistencias en serie para equalizar los retrasos en los comparadores-latches.

3.17) Considerar el comparador SC mostrado en la Figura 7 y donde

$$\begin{aligned}\mu_n C_{ox} &= 2\mu_p C_{ox} = 100\mu A/V^2 \\ |V_{tn}| &= |V_{tp}| = 1V \\ V_{DD} &= 5V \quad V_{SS} = 5V\end{aligned}$$

Si los transistores MOS del inversor son ideales excepto por tener una resistencia de salida cuando están en saturación de $100K\Omega$, encontrar la mínima diferencia de potencial a la entrada que puede provocar un cambio en la tensión de salida de 1V. Suponiendo que esta diferencia de potencial mínima corresponde a $1/2 V_{LSB}$, determinar el máximo número de bits que pueden ser resueltos si se utiliza este comparador en un convertidor flash.

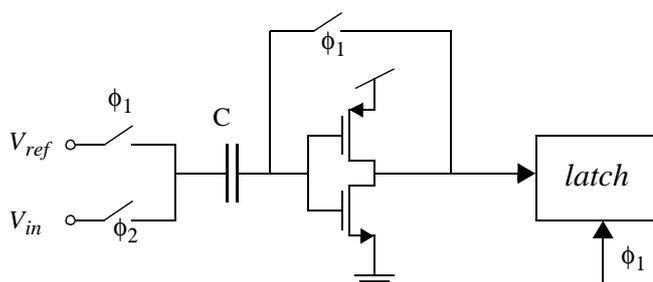


Figura 7: Comparador CMOS SC.

Solución: $\Delta V_{in_{mn}} = 94,5mV \quad N_{eff} = 4,72bits$

3.18) Determinar cual es el mínimo rango lineal que deben tener los amplificadores en un convertidor interpolativo. Supon que la diferencia de potencial entre las referencias de dos amplificadores adyacentes es de 0.25V y que el convertidor tiene 4 resistores entre cada dos amplificadores adyacentes

Solución: $0,0625V < V_{in} < 0,1875V \quad 0,3125V < V_{in} < 0,4375V$

3.19) Muchos convertidores A/D de muy alta velocidad no usan circuitos de muestreo-retención, dado que estos pueden limitar la velocidad. Por contra permiten que la señal de entrada esté continuamente aplicada a los comparadores, los cuales están todos controlados por un reloj simultáneamente. Explique cualitativamente porqué un convertidor flash o interpolativo puede operar más rápido que un circuito de muestreo y retención.

Solución: El error de feedthrough/inyección de carga pueden poner un límite a la velocidad de operación para un resolución dada.

3.20) En un convertidor A/D plegado de N-bit (sin interpolación), ¿Cual es el producto del la razón de plegado por el número de bloques de plegado?.

Solución: $FR \cdot NFB = 2^N$

3.21) Encuentre una expresión para el número de latches en un convertidor A/D plegado de N-bit donde la razón de plegado es $FR=2^F$.

Solución: $N^\circ \text{ latches} = 2NFB = 2 \frac{2^N}{2^F} = 2^{N-F+1}$

3.22) Suponiendo que la capacidad de entrada de una etapa diferencial es la misma para un convertidor flash o para uno interpolativo/plegado, determinar cual es la reducción en la capacidad conectada a la entrada respecto a la que tiene un convertidor flash si se usa un convertidor interpolativo/plegado de 8bits que tiene 4 bloques de plegado y cada uno con una razón de plegado de 8. Si tuviéramos que usar un convertidor A/D puramente interpolativo, ¿Cuántos resistores requerirá entre las salidas de dos amplificadores adyacentes para conseguir la misma reducción en la capacidad?.

Solución: La reducción es igual al número de resistores entre amplificadores adyacentes, los cuales en nuestro caso serán 8. Para un convertidor no plegado necesitaremos 32 amplificadores y 8 resistores entre amplificadores adyacentes.

3.23) Dibuje las formas de onda de los relojes de los bloques de muestreo/retención para el convertidor de entrelazado temporal mostrado en la Figura 8

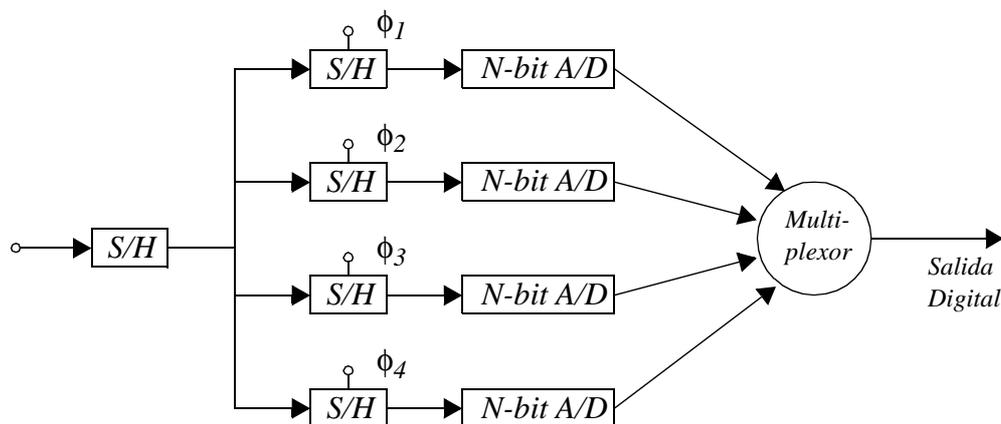


Figura 8: Convertidor A/D con cuatro canales de entrelazado temporal.

Solución:

